

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-150039

(43)Date of publication of application : 08.07.1986

(51)Int.Cl.

G06F 9/46

(21)Application number : 59-277130

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.12.1984

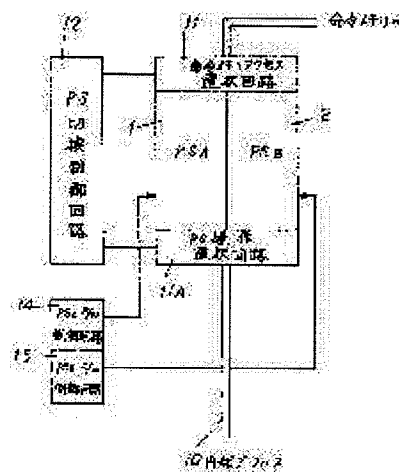
(72)Inventor : SAKAO TAKASHI

(54) PROCESSOR CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To increase the degree of freedom on control program constitution by selecting and executing sequentially on time division basis one of plural program statuses for instruction memory access and using an execution instruction to access also the content of the other program statuses.

CONSTITUTION: In a program status PSA execution time, the read/write (R/W) of the PSA is attained by a PS switch control circuit 12 and a PSA R/W control circuit 14 and in addition to the function, the R/W of a PSB is attained by the PS switching control circuit 12 and a PSB R/W control circuit. This operation is realized by using an execution instruction to control PSA, PSB R/W signals generated from the PSB R/W control circuit 14 and the PSB R/W control circuit 15 provided independently of the control signals from the PS switching control circuit 12A to a PS operation selection circuit 11A.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-150039

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月8日

G 06 F 9/46

M-8120-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 プロセッサ制御回路

⑯ 特 願 昭59-277130

⑰ 出 願 昭59(1984)12月24日

⑱ 発 明 者 坂 尾 隆 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

プロセッサ制御回路

2、特許請求の範囲

実行命令のアドレスを指示するプログラムカウンタ、プロセッサ内の演算フラグを含む内部フラグ、及びデータメモリのアドレスレジスタを含む専用レジスタをそれぞれ含む複数組のプログラムステイタステイタスと、前記複数組のプログラムステイタステイタスの一つを命令メモリアクセス用として順次時分割的に選択実行するプログラムステイタステイタス選択制御手段と、実行選択されたプログラムステイタステイタス以外のプログラムステイタステイタスの内容をも実行命令によりアクセス可能とするプログラムステイタステイタス参照修飾制御手段とを有するプロセッサ制御回路。

3、発明の詳細な説明

産業上の利用分野

本発明は時分割型マイクロコンピュータのプロセッサ制御回路に関するものである。

従来の技術

従来の時分割型マイクロコンピュータについては、例えば、特開昭54-22252号公報や、飯塚「マイクロコンピュータアーキテクチャ」、昭57、オーム社、P191に示されている。第2図は従来の時分割型マイクロコンピュータのプロセッサ制御回路を含む全体ブロック構成図を示すものであり、1はプロセッサAのプログラムステイタステイタス(PS_A)、2はプロセッサBのプログラムステイタステイタス(PS_B)である。ここで、プログラムステイタステイタスとは、プロセッサのプログラムカウンタ、スタックポインタ、汎用レジスタ、演算フラグを含む各種フラグをいう。4は命令メモリ2より読出された命令を格納する命令レジスタ、5は命令デコーダ、6は各構成要素へ供給するタイミング信号を生成するタイミング生成回路、7はデータメモリ、8はALU、9は入出力回路、10は前記各要素間のデータを転送する内部データバス、11はPS_A、PS_Bを選択するPS選択回路、12はPS選択回路11への選択信号を

時分割的に生成するPS切換制御回路である。

以上のように構成された従来の時分割マイクロコンピュータの動作説明を、第3図の時分割型マイクロコンピュータの実行遷移図、及び第4図のプログラムステイタス部構成例に基づきおこなう。第3図に示すところは、 PS_A 、 PS_B が時分割で選択制御されることにより、交互に PS_A 、 PS_B が実行されることである。特に、従来例では、命令のフェッチ、デコードと、命令実行が PS_A 、 PS_B でパイプライン的に処理される場合を示している。

第4図は第2図に示した時分割型マイクロコンピュータのプロセッサ制御回路のブロック図を示すものであり、11Aは実行時におけるPSの読出し/書込み(以下R/Wと略す)するPS操作選択回路、11Bは命令フェッチ側のPSを指定する命令メモリアクセス選択回路、13はPS選択回路11Aで指定された側のPSの内容をR/WするPSR/W制御回路である。ここで、 PS_A が実行されているとき、命令メモリアクセス選択回路11BはPS切換制御回路12により、 PS_B 2

実行選択されたプログラムステイタス以外の組のプログラムステイタスの内容をも実行命令によりアクセス可能とするプログラムステイタス参照修飾制御手段とを備えたプロセッサ制御回路である。

作 用

本発明は前記した構成により、 PS_A 実行時にも PS_B の内容をアクセス可能となり、又同様に PS_B 実行時にも PS_A の内容をアクセスでき、制御プログラム構成上の自由度が大きくなる。たとえば一つのプログラムステイタスに割当てられた制御プログラムにより、他のプログラムに割当てられた制御プログラムの実行開始番地を変更制御することも可能となる。

実 施 例

第1図は本発明の一実施例におけるプロセッサ制御回路のブロック図を示すものである。1はプロセッサAのプログラムステイタス PS_A 、2はプロセッサBのプログラムステイタス PS_B 、11Aは PS_A 、 PS_B を参照・修飾用に選択するPS操作選択回路、10はPSに接続される内部データバス、

のプログラムカウンタを選択出力するとともに、PS操作選択回路11Aは PS_A 1を選択し、PS参照・修飾命令であれば、PSR/W制御回路13により、 PS_A のR/Wを実行する。すなわち、ここに示されている例では、PS操作選択回路11Aと命令メモリアクセス選択回路11Bは相異なるPSを選択することになる。

発明が解決しようとする問題点

しかしながら、上記のような構成では、 PS_A は PS_B を、又 PS_B は PS_A を参照・修飾できないため、制御プログラムの自由度が小さいという問題を有していた。

本発明はかかる点に鑑み、時分割マイクロコンピュータにおいて、高度のインタラクションを有する制御プログラムを可能とするプロセッサ制御回路を提供することを目的とする。

問題点を解決するための手段

本発明は複数組のプログラムステイタスの一つを命令メモリアクセス用として順次時分割的に選択実行するプログラムステイタス選択制御手段と、

12は命令メモリアクセス選択回路11B及びPS操作選択回路11Aの選択信号を生成するPS切換制御回路、14は PS_A のR/W制御回路、15は PS_B のR/W制御回路である。

以上のように構成された本実施例のプロセッサ制御回路について、以下その動作を説明する。

PS_A 1及び PS_B 2を命令メモリアクセス用に選択する命令メモリアクセス選択回路11Bの動作は従来例と同様であり、説明を省略する。

次にPS参照・修飾制御回路部の説明をおこなう。

今 PS_A 実行時間であったとする。このとき、本実施例によれば、 PS_A のR/WはPS切換制御回路12と、 PS_A R/W制御回路14とにより可能であるが、この機能に加えて、 PS_B のR/WもPS切換制御回路12と PS_B R/W制御回路により可能とするものである。すなわち、従来例では、 PS_A 実行時間中は、 PS_B による命令メモリアクセス及び PS_A 1のR/Wのみ可能であったが、本実施例によれば、 PS_A の実行時間中に、 PS_A 、

PS_BのR/Wを可能とするものである。この動作は、PS切換制御回路12からPS操作選択回路11Aへの制御信号と、独立に設けられたPS_AR/W制御回路14とPS_BR/W制御回路15より生成されるPS_A、PS_BR/W信号を実行命令によって制御することにより実現される。

以上の動作によって、PS_A実行時、命令によりPS_Bのプログラムカウンタを制御し、次に実行するPS_BのアドレスをPS_Aにより実行されるプログラムにより制御すること、又PS_Bの各種レジスタをも参照・修飾可能である。当然のことながらPS_B実行時には、PS_Aに対して参照・修飾可能である。

発明の効果

以上説明したように、本発明によれば従来の時分割型マイクロコンピュータに対して自由度の大きく、かつ複雑な制御構造を有する制御プログラムを作成できるため、高パフォーマンスなマイクロコンピュータが実現でき、その実用的効果は大きい。

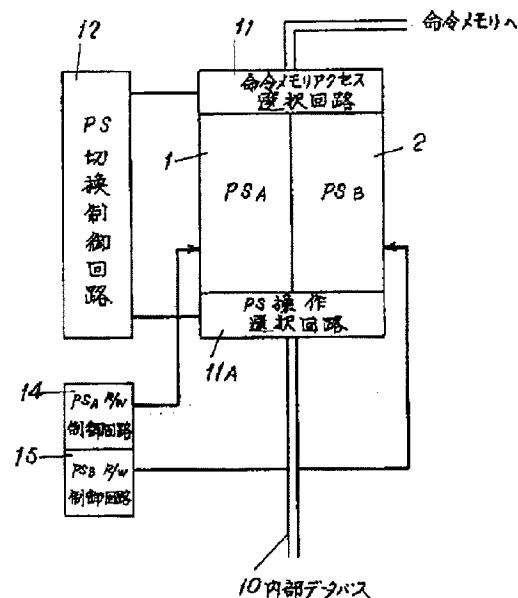
4、図面の簡単な説明

第1図は本発明における一実施例のプロセッサ制御回路のブロック図、第2図は従来の時分割型マイクロコンピュータのブロック構成図、第3図は従来の時分割型マイクロコンピュータの実行遷移図、第4図は従来のプロセッサ制御回路のブロック図である。

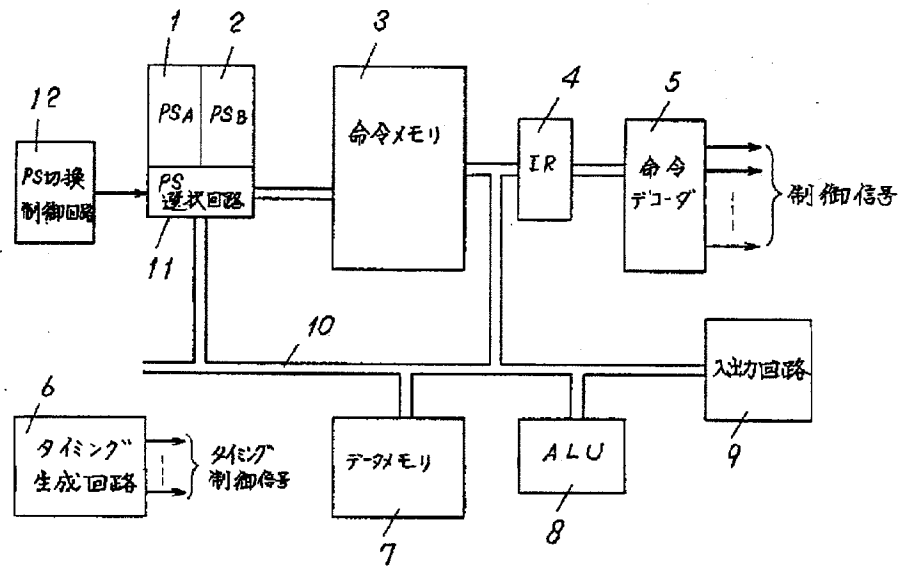
1……プログラムステイタスA(PS_A)、2……プログラムステイタス(PS_B)、11A……PS操作選択回路、11B……命令メモリアクセス選択回路、12……PS切換制御回路、14……PS_AR/W制御回路、15……PS_BR/W制御回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

実行プロセス	PSA	PSB	PSA	PSB	PSA	PSB	PSA
PSA	実行	フェッチコード	実行	フェッチコード	実行	フェッチコード	実行
PSB	フェッチコード	実行	フェッチコード	実行	フェッチコード	実行	フェッチコード

第 4 図

